

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP404010547A

PAT-NO: JP404010547A

DOCUMENT-IDENTIFIER: JP 04010547 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: January 14, 1992

INVENTOR-INFORMATION:

NAME

KANBA, KOJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP02112394

APPL-DATE: April 27, 1990

INT-CL_(IPC): H01L021/336; H01L029/784

ABSTRACT:

PURPOSE: To contrive an increase in the integration of a semiconductor device and the improvement of the driving capacity of the device without generating a punch through by a method wherein an insulating film is etched, a second conductivity type impurity is implanted using sidewalls formed on the side surfaces of a gate electrode as masks and deep high-concentration impurity diffused regions of a second conductivity type are formed in the surface layer of a semiconductor substrate.

CONSTITUTION: A gate oxide film 2 is first formed on a silicon substrate consisting of an N-type low-concentration region 6. An impurity-containing polysilicon film is grown on the whole surface and the polysilicon film 2 are subjected to anisotropic etching in order putting a mask on the polysilicon film by a photolithography technique to form a gate

1. 1. 1.

Then, a BS film 3 is formed on the whole surface by a vapor growth.

A P-type

impurity, boron, being contained in the film 3 is diffused by performing a

nitrogen annealing and P-type low-concentration regions 12 are formed. Then,

an anisotropic etching is performed on the film 3 and sidewalls 3 consisting of

the film 3 are respectively formed on the side surfaces of the electrode 1.

Boron is ion-implanted using the sidewalls 3 as masks and P-type high-concentration regions 5, which are used as a source and a drain, are formed.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-10547

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月14日

H 01 L 21/336
29/784

8422-4M H 01 L 29/78 3 0 1 L

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-112394

⑯ 出 願 平2(1990)4月27日

⑰ 発 明 者 神 庭 康 二 東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 桑 井 清一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、第2導電型不純物を含む絶縁膜を前記半導体基板の表面上に形成する工程と、前記絶縁膜から不純物を拡散させて前記半導体基板の表面層に第2導電型の浅い低濃度不純物拡散領域を形成する工程と、前記絶縁膜をエッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記サイドウォールをマスクとして第2導電型不純物を注入して前記半導体基板の表面層に第2導電型の深い高濃度不純物拡散領域を形成する工程とを包含することを特徴とする半導体装置の製造方法。

(2) 第1導電型の半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、第2導電型不純物を含む絶縁膜を前記半導体基板の

表面上に形成する工程と、前記絶縁膜をエッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記サイドウォールをマスクとして第2導電型不純物を注入して前記半導体基板の表面層に第2導電型の深い高濃度不純物拡散領域を形成する工程と、前記サイドウォールから不純物を拡散させて前記半導体基板の表面層に第2導電型の浅い低濃度不純物拡散領域を形成する工程とを包含することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特にMOSトランジスタの製造方法に関する。

〔従来の技術〕

従来のP型MOSトランジスタの製造方法を第2図(a), (b)を用いて説明する。

同図(a)に示すように、まず、低濃度のn型

領域6からなるシリコン基板上に膜厚約200Åのゲート酸化膜2を形成する。そして、全面に不純物の入ったポリシリコンを成長し、フォトリソグラフィによりポリシリコンにマスクをかけて異方性のエッチングを行ってゲートポリシリコン電極1を形成する。次に、ボロンをエネルギー15keVドーズ量 $1 \times 10^{13}/\text{cm}^2$ でイオン注入し、低濃度p型領域4を形成する。

次いで、同図(b)に示すように、全面に酸化膜を気相成長させ、異方性エッチングを行って酸化膜のサイドウォール7を電極1の側面に形成する。そして、ボロンをエネルギー30keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ でイオン注入し、ソース・ドレインとしての高濃度p型領域5を形成する。

[発明が解決しようとする課題]

高集積化及び駆動能力の向上のため、MOSトランジスタのゲート長はますます縮小される傾向にある。一方、ゲート長が縮小されると短チャネル効果のため、従来の製造方法ではゲート長にあ

る程度(約0.7μm)の限界があった。この限界を高めること、すなわちゲート長を更に短くしてもトランジスタはソース・ドレイン間でパンチスルーしないで正常動作することが課題となる。

ここに、短チャネル効果の主な要因は、ドレインから生ずる電界がソースに達することであり、これにより電流がソース・ドレイン間で流れるためゲートによるスイッチングが不可能となってしまう。このドレインから生ずる電界にチャネルとソース・ドレイン間に介在するLDD領域が大きく影響しており、LDD領域が半導体基板に対して深い接合を持つほどドレイン電界はソースに達しやすくなる。

本発明は上記知見に基づき成されたもので、パンチスルーを生ずることなく高集積化及び駆動能力の向上が達成された半導体装置を製造する方法を提供することを目的とする。

[課題を解決するための手段]

本発明の半導体装置の製造方法は、第1導電型

の半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、第2導電型不純物を含む絶縁膜を前記半導体基板の表面上に形成する工程と、前記絶縁膜から不純物を拡散させて前記半導体基板の表面層に第2導電型の浅い低濃度不純物拡散領域を形成する工程と、前記絶縁膜をエッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記サイドウォールをマスクとして第2導電型不純物を注入して前記半導体基板の表面層に第2導電型の深い高濃度不純物拡散領域を形成する工程とを包含することを特徴とする半導体装置の製造方法。

(2) 第1導電型の半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、第2導電型不純物を含む絶縁膜を前記半導体基板の表面上に形成する工程と、前記絶縁膜をエッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記サイドウォールをマスクとして第2導電型不純物を注入して前記半導体基板の表面層に第2導電型の深い高濃度不純物拡散領

域を形成する工程と、前記サイドウォールから不純物を拡散させて前記半導体基板の表面層に第2導電型の浅い低濃度不純物拡散領域を形成する工程とを包含することを特徴とする。

また、本発明の半導体装置の製造方法は、第1導電型の半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、第2導電型不純物を含む絶縁膜を前記半導体基板の表面上に形成する工程と、前記絶縁膜をエッチングして前記ゲート電極の側面にサイドウォールを形成する工程と、前記サイドウォールをマスクとして第2導電型不純物を注入して前記半導体基板の表面層に第2導電型の深い高濃度不純物拡散領域を形成する工程と、前記サイドウォールから不純物を拡散させて前記半導体基板の表面層に第2導電型の浅い低濃度不純物拡散領域を形成する工程とを包含することを特徴とする。

[実施例]

第1図(a)～(c)は本発明の一実施例に係

る工程を順次示す縦断面図である。

同図(a)に示すように、まず低濃度のn型領域6からなるシリコン基板上に膜厚約200Åのゲート酸化膜2を形成する。そして、全面に不純物の入ったポリシリコンを成長し、フォトリソグラフィにより、ポリシリコンにマスクをかけてポリシリコンとゲート酸化膜2を順に異方性エッチングしてゲート電極1を形成する。

次いで、同図(b)に示すように、気相成長により全面に膜厚約2000ÅのBSG膜3を形成する。そして、窒素アニールを900℃で10分間行うことにより、BSG膜3中に含まれているp型不純物のボロンを拡散させて低濃度p型領域12を形成する。

次いで、同図(c)に示すように、BSG膜3に対して異方性エッチングを行い、ゲート電極1の側面にBSG膜3のサイドウォールを形成する。そして、サイドウォール3をマスクとしてボロンをエネルギー30keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ でイオン注入し、ソースおよびドレインとなる

する。

PSG膜8に対して異方性エッチングを行い、PSG膜8のサイドウォールを形成する。そして、ヒ素をエネルギー80keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ でイオン注入し、高濃度n型領域10を形成して、ソース・ドレインとする。以上の工程を行うことによりN型MOSトランジスタが形成できる。

[発明の効果]

本発明では、BSG膜などの不純物を含む絶縁膜から直接不純物を拡散させることにより、MOSトランジスタのLDD領域を形成する。これによりイオン注入で形成した場合には得られない浅い接合を持つLDD領域が可能となり、ゲート長を短くしても短チャネル効果を抑えることができる。

例えば、従来は短チャネル効果によりゲート長0.7μmが限界であったが、0.4μm程度までゲート長を短くすることができるようになる。従

高濃度p型領域5を形成する。

以上の工程を行うことによりP型MOSトランジスタが形成できる。尚、窒素アニールの工程は高濃度p型領域5を形成した後に行って、サイドウォール3からボロンを拡散させて低濃度p型領域12を形成するようにしてもよい。要するにアニールによる低濃度領域12の形成は、BSG膜3を形成した後ならばいつでも良いのである。

第3図は本発明の他の一実施例に係る縦断面図である。まず低濃度p型領域11からなるシリコン基板上に膜厚約200Åゲート酸化膜2を形成する。全面に不純物の入ったポリシリコンを成長し、フォトリソグラフィによりポリシリコンにマスクをかけてポリシリコンとゲート酸化膜2を順に異方性エッチングしてゲート電極1を形成する。

次いで、気相成長により全面に膜厚約2000ÅのPSG膜8を形成する。そして、窒素アニールを900℃で10分間行うことにより、PSG膜8中に含まれているn型不純物のリンを拡散させて、LDD領域として低濃度n型領域9を形成

って、本発明によれば、高集積化及び駆動能力の向上を達成した半導体装置を装置の性能に支障を生ずることなく製造することができる。

4. 図面の簡単な説明

第1図(a)～(c)は本発明の一実施例に係る工程を順次示す縦断面図、第2図(a)、(b)は従来技術の工程を順次示す縦断面図、第3図は本発明の他の一実施例に係る工程を示す縦断面図である。

- 1 ゲート電極、
- 2 ゲート酸化膜、
- 3 BSG膜、
- 4 低濃度p型領域、
- 5 高濃度p型領域、
- 6 低濃度n型領域、
- 7 酸化膜、
- 8 PSG膜、
- 9 低濃度n型領域、
- 10 高濃度n型領域、

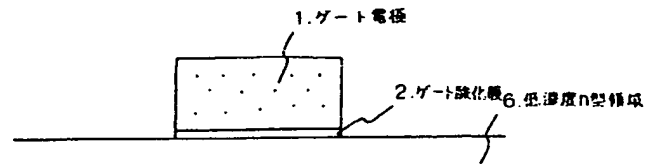
11.....低濃度p型領域、

12.....低濃度p型領域。

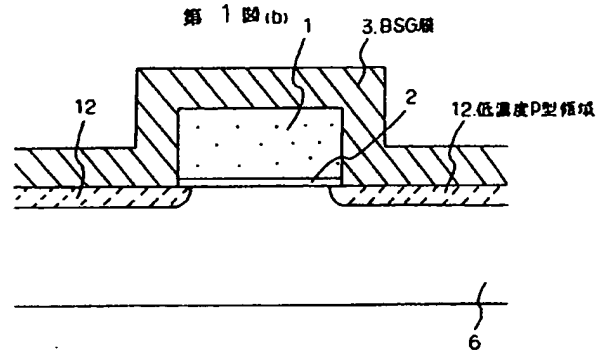
特許出願人 日本電気株式会社

代理人 弁理士 桑井清一

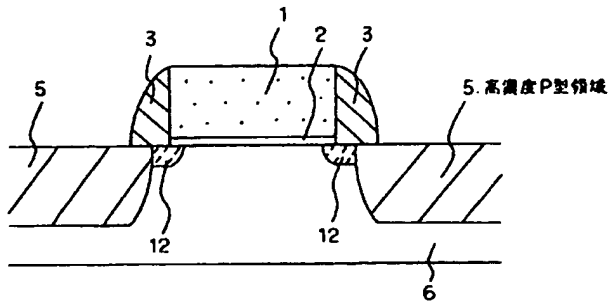
第1図(a)



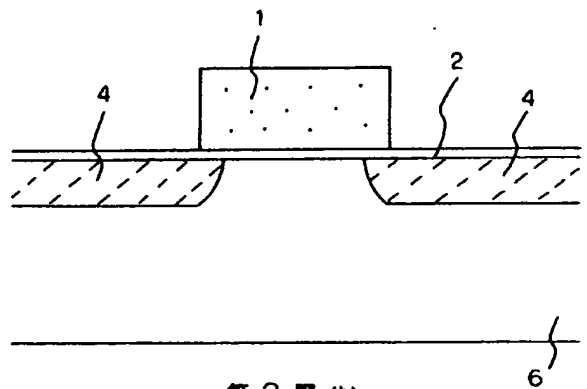
第1図(b)



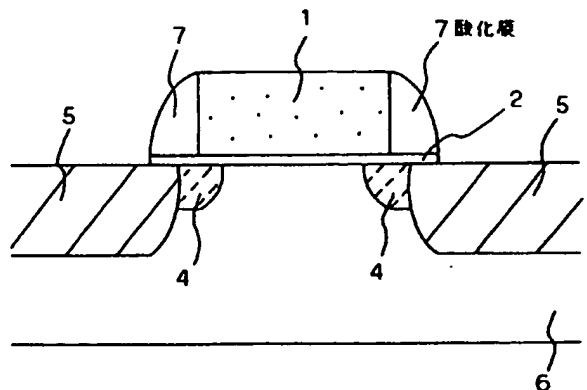
第1図(c)



第2図(a)



第2図(b)



第 3 圖

